Main code  
  
module mini(

input clk,

input reset,

input sa,

input sb,

input sc,

input sd,

output reg ra,

output reg ya,

output reg ga,

output reg rb,

output reg yb,

output reg gb,

output reg rc,

output reg yc,

output reg gc,

output reg rd,

output reg yd,

output reg gd,

output reg par,

output reg pag,

output reg pbr,

output reg pbg,

output reg pcr,

output reg pcg,

output reg pdr,

output reg pdg

);

reg [4:0]pst,nst;

parameter s0=5'b00000 ,s1=5'b00001, s2=5'b00010, s3=5'b00011, s4=5'b00100, s5=5'b00101, s6=5'b00110, s7=5'b00111, s8=5'b01000 ,s9=5'b01001 ,s10=5'b01010 ,s11=5'b01011 ,s12=5'b01100 ,s13=5'b01101 ,s14=5'b01110 ,s15=5'b01111 ,s16=5'b10000 ,s17=5'b10001 ,s18=5'b10010;

always@(sa,sb,sc,sd,pst)

begin

case(pst)

s0,s1,s2: begin ga=1;

ya=1'b0;

ra=1'b0;

gb=1'b0;

gc=1'b0;

gd=1'b0;

yb=1'b0;

yc=1'b0;

yd=1'b0;

rb=1'b1;

rc=1'b1;

rd=1'b1;

par=1'b1;

pbr='b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

nst<=pst+1;

end

s3:begin

ga=1'b1;

rb=1'b1;

rc=1'b1;

rd=1'b1;

ya=1'b0;

ra=1'b0;

gb=1'b0;

gc=1'b0;

gd=1'b0;

yb=1'b0;

yc=1'b0;

yd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

if(sa==0|sb==1|sc==1|sd==1)

nst<=pst+1;

else if(sa==1)

nst<=pst;

end

s4:begin

ga=1'b0;

ra=1'b0;

gb=1'b0;

gc=1'b0;

gd=1'b0;

yb=1'b0;

yc=1'b0;

yd=1'b0;

ya=1'b1;

rb=1'b1;

rc=1'b1;

rd=1'b1;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

if(sb==1)

nst<=pst+1;

else if(sb==0&sc==1)

nst<=s9;

else if(sb==0&sc==0&sd==1)

nst<=s13;

end

s5,s6,s7:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b0;

yb=1'b0;

gb=1'b1;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

nst<=pst+1;

end

s8:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b0;

yb=1'b1;

gb=1'b0;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

nst<=s17;

end

s9,s10,s11:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b0;

yc=1'b0;

gc=1'b1;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

nst<=pst+1;

end

s12:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b0;

yc=1'b1;

gc=1'b0;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdg=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdr=1'b0;

nst<=s17;

end

s13,s14,s15:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b0;

yd=1'b0;

gd=1'b1;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdr=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdg=1'b0;

nst<=pst+1;

end

s16:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b0;

yd=1'b1;

gd=1'b0;

par=1'b1;

pbr=1'b1;

pcr=1'b1;

pdr=1'b1;

pag=1'b0;

pbg=1'b0;

pcg=1'b0;

pdg=1'b0;

nst<=pst+1;

end

s17:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b0;

pbr=1'b0;

pcr=1'b0;

pdr=1'b0;

pag=1'b1;

pbg=1'b1;

pcg=1'b1;

pdg=1'b1;

nst<=pst+1;

end

s18:begin

ra=1'b1;

ya=1'b0;

ga=1'b0;

rb=1'b1;

yb=1'b0;

gb=1'b0;

rc=1'b1;

yc=1'b0;

gc=1'b0;

rd=1'b1;

yd=1'b0;

gd=1'b0;

par=1'b0;

pbr=1'b0;

pcr=1'b0;

pdr=1'b0;

pag=1'b1;

pbg=1'b1;

pcg=1'b1;

pdg=1'b1;

if(sa==1)

nst=s0;

else if(sa==0&sb==1)

nst=s5;

else if(sa==0&sb==0&sc==1)

nst=s9;

else if(sa==0&sb==0&sc==0&sd==1)

nst=s13;

end

endcase

end

always@(posedge clk,reset)

begin

if(!reset)

pst<=s0;

else

pst<=nst;

end

endmodule

Testbench

module minitb();

reg clk,reset,sa,sb,sc,sd;

wire ra,ya,ga,rb,yb,gb,rc,yc,gc,rd,yd,gd,par,pag,pbr,pbg,pcr,pcg,pdr,pdg;

mini m1(clk,reset,sa,sb,sc,sd,ra,ya,ga,rb,yb,gb,rc,yc,gc,rd,yd,gd,par,pag,pbr,pbg,pcr,pcg,pdr,pdg);

initial

begin

clk = 0;

forever #10 clk = ~clk;

end

initial

begin

reset = 0; sa=0; sb=0; sc=0; sd=0;

#10 reset =1;

#30 sb=1;

#40 sa=1;

#60 sa=0;

#50 sc=1;

#80 sb=0;

#60 sd=1;

#200 sc=0;

#150 sa=0;

#120 sb=1;

#140 sc=0;sd=0;

#230 sb=1;

#800 $finish;

end

endmodule